**МИНИСТЕРСТВО ОБРАЗОВАНИЯ, науки и молодежи**

**РЕСПУБЛИКИ КРЫМ**

**Государственное бюджетное профессиональное образовательное учреждение республики Крым**

**СИМФЕРОПОЛЬСКИЙ КОЛЛЕДЖ**

**РАДИОЭЛЕКТРОНики**

|  |  |  |
| --- | --- | --- |
| Рассмотрено  на заседании ЦМК №  Протокол № \_\_\_\_\_\_\_\_\_\_  «\_\_\_»\_\_\_\_\_\_\_\_ 2019 г.  Председатель  \_\_\_\_\_\_\_\_\_\_\_\_С.Г. Мелихова |  | УТВЕРЖДЕНО  Председатель методсовета  \_\_\_\_\_\_\_\_\_\_\_\_\_В.И.Полякова «\_\_\_»\_\_\_\_\_\_\_\_\_\_ 2019 г. |

**Задания**

**для домашней контрольной работы и методические указания по их выполнению**

для студентов заочной формы обучения

по МДК 01.02 «Проектирование цифровых устройств»

Специальность: 11.02.10 «Компьютерные системы и комплексы»

Разработал преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_Фролова И.И.

(ФИО преподавателя)

«\_\_\_»\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_2019 г

Симферополь, 2019 г

## СОДЕРЖАНИЕ

1. Общие требования к выполнению контрольной работы 3

2. КОНТРОЛЬНЫЕ ЗАДАНИЯ 5

3. Примерные вопросы к зачету 20

Рекомендуемая литература 22

# 1. Общие требования к выполнению контрольной работы

Домашняя контрольная работа (ДКР) состоит из пяти заданий, в каждом задании по десять вариантов. Студент должен выполнить все пять заданий своего варианта. Вариант определяется по последней цифре шифра студента. Решение задач должно сопровождаться краткими, обоснованными пояснениями.

**Оформление контрольной работы**

Контрольная работа должна быть написана разборчивым почерком в ученической тетради с пронумерованными страницами или выполнена с использованием компьютерной техники в соответствии с требованиями.

Для замечаний и поправок преподавателя оставляются поля в 3 - 4 см и не менее одной чистой страницы для рецензии.

Ответы на теоретические вопросы следует начинать с номера и полного названия вопроса. Необходимо употреблять только общепринятые сокращения слов, математические и другие символы, правильно оформлять список используемой литературы с указанием фамилии автора, название источника, издательства, года издания.

Завершается контрольная работа реквизитами: подпись учащегося и дата выполнения работы.

На обложку контрольной работы выполненной в ученической тетради наклеивается бланк установленного образца.

Домашняя контрольная работа, выполненные компьютерным способом, оформляется в соответствии с нижеуказанными требованиями.

Титульный лист оформляется в установленном порядке (Приложение 2).

Объем контрольной работы не более 20 страниц печатного текста формата А-4, шрифт TimesNewRoman, 14 пт; межстрочный интервал 1,5, выравнивание – по ширине. Все чертежи, графики, рисунки и таблицы должны быть подписаны. Страницы нумеруются арабскими цифрами в правом верхнем углу листа без точки в конце. Нумерация страниц начинается с 3-ей страницы (обложка и оглавление не нумеруются). Каждая страница работы оформляется со следующими полями: верхнее – 20 мм, нижнее – 20 мм, правое – 10 мм, левое – 20 мм.

Список использованной литературы приводится в алфавитном порядке. Он должен содержать публикации последних лет, в том числе статьи, опубликованные по данной проблеме в технических журналах за последние 2-3 года.

Домашняя контрольная работа предоставляется специалистам заочного обучения до лабораторно-экзаменационной сессии в заранее установленные сроки в соответствие с графиком учебного процесса.

**Критерии оценки выполнения домашней контрольной работы**

Отметка «зачтено» выставляется при условии:

* работа выполнена в полном объеме, в соответствии с заданием, ответы на все теоретические вопросы даны полно, последовательно, в требуемых случаях иллюстрированы схемами, правильно употребляется научно - техническая терминология, ГОСТы, нормативы;
* задания выполнены правильно, ход решения пояснен;
* графические задания выполнены аккуратно в соответствии с ГОСТами. Работа аккуратно оформлена, приведен список использованной литературы. Работа может быть зачтена, если она содержит единичные несущественные ошибки:
* описки, не искажающие сути ответа на теоретические вопросы;
* неточности, допущенные при ответе на теоретические вопросы;
* отсутствие выводов в процессе освещения вопросов, решения задач;
* линии чертежа выполнены не в соответствии с ЕСКД;
* нанесение размеров выполнено не в соответствии с ЕСКД;

- арифметические ошибки, в решении задач, не приводящие к абсурдному результату и т.п.

Отметка «не зачтено» выставляется, если работа выполнена не в полном объеме или содержит следующие существенные ошибки:

- не раскрыто основное содержание вопросов задания;

* ответы на теоретические вопросы полностью переписаны из учебной литературы без адаптации к контрольному заданию;
* отдельные вопросы к работе освещены не в соответствии с вариантом задания;
* неправильно употребляются научно - техническая терминология, ГОСТы, нормативы, единица измерения;
* для решения заданий неправильно выбрана формула;

- схемы выполнены не в полном объеме, с нарушением требований ЕСКД.

# 2. КОНТРОЛЬНЫЕ ЗАДАНИЯ

**Задание 1**

Перевести заданные десятичные числа в двоичную систему счисления с точностью до семи знаков после запятой, осуществить их кодирование в обратном и дополнительном кодах, а затем произвести сложение. Результат проверить.

Исходные данные приведены в Таблице 1.

Таблица 1

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Вариант | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| Заданное десятичное число х1 | 0,18 | -0,23 | 0,28 | -0,34 | -0,17 | 0,86 | -0,45 | 0,96 | -0,63 | 0,32 |
| Заданное десятичное число х2 | -0,91 | -0,54 | -0,98 | -0,36 | 0,88 | -0,21 | 0,11 | -0,26 | -0,32 | -0,76 |

**Пример выполнения:**

Необходимо сложить двоичные числа в обратном и дополнительном кодах.

Для этого

- заданные десятичные числа переводим в двоичную систему счисления

|  |  |
| --- | --- |
| **0,** | 32  ×2 |
| 0 | 64  ×2 |
| 1 | 28  ×2 |
| 0 | 56  ×2 |
| 1 | 12  ×2 |
| 0 | 24  ×2 |
| 0 | 48  ×2 |
| 0 | 96  ×2 |
| 1 | 92 |

a= -0,78b= 0,32

|  |  |
| --- | --- |
| **0,** | 78  ×2 |
| 1 | 56  ×2 |
| 1 | 12  ×2 |
| 0 | 24  ×2 |
| 0 | 48  ×2 |
| 0 | 96  ×2 |
| 1 | 92  ×2 |
| 1 | 84  ×2 |
| 1 | 68 |

- записываем полученные двоичные числа в прямом, обратном и дополнительном кодах

aпр= -0,11000111

bпр= 0,01010001

aобр=1,00111000

boбр= 0,01010001

aдоп= 1,00111001

bдоп= 0,01010001

- производим сложение двоичных чисел

В обратном коде

Первое слагаемое aобр + 1,00111000

Второе слагаемое bобр0,01010001

Сумма Nобр = aобр + bобр 1,10001001

В дополнительном коде

Первое слагаемое aдоп + 1,00111001

Второе слагаемое bдоп0,01010001

Сумма Nдоп = aдоп + bдоп 1,10001010

- переводим полученные суммы в прямой код

Nдоп= 1,10001010

- 1

Nобр= 1,10001001

Nпр =-0,01110110

- осуществляем проверку

N = a + b = -0,78 + 0,32 = -0,46

Полученный результат переводим в двоичную систему счисления

|  |  |
| --- | --- |
| 0, | 46  ×2 |
| 0 | 92  ×2 |
| 1 | 84  ×2 |
| 1 | 68  ×2 |
| 1 | 36  ×2 |
| 0 | 72  ×2 |
| 1 | 44  ×2 |
| 0 | 88  ×2 |
| 1 | 76 |

Сравниваем Nпр= - 0,01110110 и N= - 0,01110101. Шесть знаков после запятой совпадают.

**Задание 2**

Получить шестнадцатеричную форму внутреннего представления числа в формате с плавающей точкой в 4-х байтовой ячейке.

Исходное число в Таблице 2.

ТАБЛИЦА 2

| № Варианта |  |
| --- | --- |
| 1 | 26.28125 |
| 2 | -29.625 |
| 3 | 91.8125 |
| 4 | -27.375 |
| 5 | 139.375 |
| 6 | -26.28125 |
| 7 | 27.375 |
| 8 | -33.75 |
| 9 | 29.265 |
| 10 | -139.375 |

**Методические указания по выполнению задания 2**

Вещественные числа представляются в ПК в форме с плавающей точкой.

Этот формат использует представление вещественного числа Х в виде произведения мантиссы А на основание системы счисления в некоторой целой степени р, которую называют порядком:

Х= А•2р или Х= А•10р

где

Х – число

А – мантисса числа

р - порядок

Представление числа в форме с плавающей точкой неоднозначно.

Например: 25.324=25324\*10-3=0.0025324\*104=2532.4\*10-2

В ЭВМ используют нормализованное представление числа в форме с плавающей точкой. Мантисса в нормализованном представлении должна удовлетворять условию: 0.1pОписание: http://www.tspu.tula.ru/ivt/old_site/umr/inform/lab2.files/image001.gifm<1p

Иначе говоря, мантисса меньше 1 и первая значащая цифра - не 0.

В памяти компьютера мантисса представляется как целое число, содержащее только значащие цифры (0 целых и запятая не хранится). Следовательно, внутреннее представление вещественного числа сводиться к представлению пары целых чисел: мантиссы и порядка.

Например: 4-x байтовая ячейка памяти. В ячейке должна содержаться следующая информация о числе:

- знак числа;

- порядок;

- значащие цифры мантиссы.

|  |  |  |  |
| --- | --- | --- | --- |
| * Знак числа | * МАНТИССА | | |
| 1-й байт | 2-й байт | 3-й байт | 4-й байт |

В старшем бите 1-го байта хранятся знак числа: 0 обозначает плюс, 1 - минус.

Оставшиеся 7 бит 1-го байта содержат машинный порядок. В следующих трех байтах хранятся значащие цифры мантиссы (24 разряда).

В семи двоичных разрядах помещаются двоичные числа в диапазоне от 0000000 до 1111111. Значит, машинный порядок изменяется в диапазоне от 0 до 127 (в десятичной системе счисления). Всего 128 значений. Порядок, очевидно, может быть как положительным так и отрицательным. Разумно эти 128 значений разделить поровну между положительным и отрицательным значениями порядка: от -64 до 63.

Машинный порядок смещен относительно математического и имеет только положительные значения. Смещение выбирается так, чтобы минимальному математическому значению порядка соответствовал нуль.

Связь между машинным порядком (Мр) и математическим (р) в рассматриваемом случае выражается формулой:

Мр = р + 64

Полученная формула записана в десятичной системе. В двоичной системе формула имеет вид: Mp2=p2+10000002

Для записи внутреннего представления вещественного числа необходимо:

1) перевести модуль данного числа в двоичную систему счисления с 24 значащими цифрами;

2) нормализовать двоичное число;

3) найти машинный порядок в двоичной системе счисления;

4) учитывая знак числа, выписать его представление в 4-х байтовом машинном слове.

**Пример выполнения**

Записать внутреннее представление числа 250,1875 в форме с плавающей точкой.

Решение:

1) Приведем его в двоичную систему счисления с 24 значащими цифрами: 250.187510=11111010, 0011000000000000002.

2) Запишем в форме нормализованного двоичного числа с плавающей точкой: 0,111110100011000000000000\*1021000. Здесь мантисса, основание системы счисления (210=102) и порядок (810=10002) записаны в двоичной системе.

3) Вычислим машинный порядок в двоичной системе счисления: Mp2= 1000 + 100 0000 =100 1000.

4) Запишем представление числа в 4-х байтовой ячейке памяти с учетом знака числа: 0100 1000 1111 1010 0011 0000 0000 0000

Шестнадцатеричная форма: 48FA3000.

**Задание 3**

Задана функция ƒ), см. таблицу 3.

1. Постройте логическую схему в базисе И, ИЛИ, НЕ, используя микросхемы серии KI55.
2. Запишите заданную логическую функцию через операцию И-НЕ.
3. Постройте логическую схему в базисе К155.
4. Укажите на схемах значение логических сигналов на выходе каждого логического элемента для заданной комбинации входящих сигналов (Таблица 3).

Таблица 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Номер варианта | Логическая функция  ƒ(Х1,Х2, Х3) | Комбинация входных сигналов | | |
| Х1 | Х2 | Х3 |
| 1 | 1 • Х3 V 2 • Х3V Х1• 2 | 0 | 0 | 0 |
| 2 | Х1• 3 V1 • Х3 V 2 • Х3 | 0 | 0 | 1 |
| 3 | Х1•Х3 V1 •2 V1 • Х3 | 1 | 1 | 0 |
| 4 | 1 • Х2V 2 • Х3V1 •2 | 1 | 1 | 1 |
| 5 | Х1•Х2 V Х2•Х3 V 1 •2 | 1 | 0 | 0 |
| 6 | Х1•Х2 V 1 • Х3V 1 •2 | 1 | 0 | 1 |
| 7 | Х1• 3 V 2 • 3 V Х2•Х3 | 1 | 1 | 0 |
| 8 | Х1• 3 V 1 • Х3 V Х1•Х2 | 0 | 1 | 1 |
| 9 | 1 •2 V Х2• 3V 2 • Х3 | 0 | 0 | 0 |
| 10 | Х1• 3V Х2•Х3V 1 • Х3 | 0 | 0 | 1 |

Методические указания по выполнению задания 3

Выпишите из таблицы 3 заданную логическую функцию. Проанализируйте:

а) какие операции встречаются в записи данной функции;

б) какие логические элементы и в каком количестве потребуются для выполнения этих операции.

При построении логической схемы учитывайте приоритет выполнения операций:

1. Отрицание (НЕ);
2. Логическое умножение (И);
3. Логическое сложение (ИЛИ)

Рассмотрим пример построения логической схемы в базисе И, ИЛИ, НЕ

ƒ`(X1,Х2,Х3) = 1 •Х3 V2 •Х3 VХ1 •2

Для построения схемы по заданному выражению потребуется:

Два элемента НЕ (1 2);

Три двухвходных элемента И (3 элемента 2 И);

Один трехвходной элемент ИЛИ (1 элемент 3 ИЛИ).

Схема приведена на рисунке 1.

****

Рисунок 1. - Логическая схема в базисе И,ИЛИ,НЕ

Выбираем конкретные типы интегральных микросхем (ИС) серии К 155, используя справочную литературу.



Рисунок 2. – Логическая схема в базисе И,ИЛИ, НЕ на микросхемах К155

Для реализации данной схемы используем следующие типы ИС:

КI55ЛН1 (шесть элементов НЕ), К155ЛИ1 (четыре элемента 2И), К155ЛЛ1 (четыре элемента 2ИЛИ).

Логические элементы микросхемы К155ЛН1 обозначим ДД1.1, ДД1.2; микросхемы К155ЛИ1-ДД2.1-ДД2.3; микросхемы К155ЛЛ1-ДД3.1, ДД3.2. В микросхемы К155ЛН1 из шести элементов НЕ используем 2, в К155ЛИ1 - из четырех элементов И- 3, в К155ЛЛ1 – из четырех элементов ИЛИ – 2. Для построения схемы использованы: 1/3 микросхемы К155ЛН1, 2/3 микросхемы К155ЛИ, 1/2 микросхемы К155ЛЛ1.

Запись логической функции через операцию И-НЕ (штрих Шеффера) выполняется с использованием двух законов алгебры логики: закона двойного отрицания и правила де Моргана.

ƒ(Х1,Х2, Х3) = (1 |X3) | (2|X3) | ( X1|2)

Построим логическую схему в базисе И-НЕ. Полученному выражению соответствует схема, приведённая на рисунке 3. Обратите внимание на способ входов двух элементов, выполняющих операцию НЕ (1 2).



Рисунок 3. - Логическая схема в базисе И-НЕ

Выберем конкретные типы ИС серии К155. Для реализации схемы (рисунок 4) целесообразно использовать две микросхемы К155ЛА3(4 элемента 2И-НЕ) и К155ЛА4 (3элемента 3И-НЕ). Логические элементы микросхемы К155ЛА3 обозначим ДД1.1-ДД1.4, а микросхемы К155ЛА4 – ДД2.1 – ДД2.2.

В микросхеме К155ЛА4 из трех элементов И-НЕ используем два элемента И-НЕ. Для реализации операции X1| 2используем трехвходной логический элемент ДД2.1 микросхемы К155ЛА3. Третий (свободный) вход подключаем к одному из входов, например, к Х1.

Для построения схемы достаточно использовать полностью две микросхемы К155ЛА4.

****

Рис.4

Обратите внимание: использование элементов И-НЕ более экономично. Для схемы, построенной в базисе И, ИЛИ, НЕ, потребовалось три ИС, а для схемы в базисе И-НЕ – две ИС.

На схемах (рисунки 1 и 3) записаны логические сигналы на выходе каждого элемента для входных сигналов 011 (Х1=0, Х2=1, Х3=1).

**Задание 4**

Первый вариант

Закон функционирования шифратора для преобразования десятичного кода в двоичный код “7421” задан таблицей истинности (таблица 4).

Таблица 4

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Десятичное  число (номер входа) | Десятичный код  “7421” на выходах | | | | Десятичное число (номер входа) | Десятичный код  “7421” на выходах | | | |
|  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 5 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 6 | 0 | 1 | 1 | 0 |
| 2 | 0 | 0 | 10 | 0 | 7 | 1 | 0 | 0 | 0 |
| 3 | 0 | 0 | 1 | 1 | 8 | 1 | 0 | 0 | 1 |
| 4 | 0 | 1 | 0 | 0 | 9 | 1 | 0 | 1 | 0 |

1. Объясните назначение данного шифратора.
2. Приведите его условное графическое обозначение.
3. Запишите логические выражения для выходов шифратора.
4. Постройте логическую схему в любом базисе.
5. На каком входе шифратора действует сигнал логической единицы, если на выходах зафиксирован двоичный код 1000?

Второй вариант

1. Объясните назначение 4-х разрядного двоичного сумматора.
2. Приведите условное графическое обозначение микросхемы двоичного сумматора KI55ИМ3. Укажите назначение всех выводов.
3. Постройте логическую схему четырехразрядного двоичного сумматора параллельного действия.
4. Укажите значение логических сигналов на входах и выходах схемы при сложении двоичных чисел: А=1011, В=1010.
5. Приведите схему соединения микросхем КI55ИМ3 для построения восьмиразрядного двоичного сумматора параллельного действия.
6. На всех выходах схемы (п.5) проставьте значения логических сигналов при сложении двух восьмиразрядных чисел: А=10011101, В=11100011.

Третий вариант

Закон функционирования мультиплексора на восемь каналов без стробирования задан таблицей истинности (таблица 5).

Таблица 5

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Адресные входы | | | Выход  Q | Адресные входы | | | Выход  Q |
|  |  |  |  |  |  |
| 0 | 0 | 0 |  | 1 | 0 | 0 |  |
| 0 | 0 | 1 |  | 1 | 0 | 1 |  |
| 0 | 1 | 0 |  | 1 | 1 | 0 |  |
| 0 | 1 | 1 |  | 1 | 1 | 1 |  |

1. Объясните назначение заданного мультиплексора.
2. Приведите его условное графическое изображение.
3. Укажите назначение всех выводов.
4. Запишите логическое выражение для выхода Q.
5. По выражению постройте логическую схему мультиплексора в базисе И, ИЛИ, НЕ.
6. Какой из информационных входов будет подключен к выходу Q, если на адресных входах записан код 011?

Четвертый вариант

Закон функционирования дешифратора для преобразования двоичного кода “2421” в десятичное число задан таблицей истинности (таблица 6).

Таблица 6

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Двоичный код “2421” на выходах | | | | Номер выхода дешифратора | Двоичный код “2421” на входах | | | | Номер выхода дешифратора |
|  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 5 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 6 |
| 0 | 0 | 1 | 0 | 2 | 1 | 1 | 0 | 1 | 7 |
| 0 | 0 | 1 | 1 | 3 | 1 | 1 | 1 | 0 | 8 |
| 0 | 1 | 0 | 0 | 4 | 1 | 1 | 1 | 1 | 9 |

1. Объясните назначение заданного дешифратора.
2. Приведите его условное графическое обозначение.
3. Укажите назначение всех выводов.
4. Запишите логические выражения для каждого выхода дешифратора через операцию И-НЕ.
5. Постройте логическую схему в базисе И-НЕ.
6. Какой двоичный код присутствует на входах дешифратора, если «выбранным» является выход 5?

Пятый вариант

Закон функционирования шифратора для преобразования десятичного кода в двоичный код «2421» задан таблицей истинности (таблица 7).

Таблица 7

|  |  |  |  |
| --- | --- | --- | --- |
| Десятичное число  (номер входа) | Двоичный код  «2421» на выходах  X4 X3 X2 X1 | Десятичное  число  (номер входа) | Двоичный код  «2421» на выходах  X4 X3 X2X1 |
| 0  1  2  3  4 | 0 0 0 0  0 0 0 1  0 0 1 0  0 0 1 1  0 1 0 0 | 5  6  7  8  9 | 1 0 1 1  1 1 0 0  1 1 0 1  1 1 1 0  1 1 1 1 |

1. Объясните назначение данного шифратора.
2. Приведите его условное графическое обозначение.
3. Запишите логические выражения для выходов шифратора.
4. Постройте логическую схему в любом базисе.
5. На каком входе шифратора действует сигнал логической единицы, если на выходах зафиксирован двоичный код 1110?

Шестой вариант

Закон функционирования дешифратора для преобразования десятичного кода «с избытком 3» в десятичное число задан таблицей истинности (таблица 8).

Таблица 8

|  |  |  |  |
| --- | --- | --- | --- |
| Двоичный код  «с избытком 3»  на входах  X4 X3 X2 X1 | Номер  выхода  дешифратора | Двоичный код  «с избытком 3»  на входах  X4 X3 X2 X1 | Номер  выхода  дешифратора |
| 0 0 1 1  0 1 0 0  0 1 0 1  0 1 1 0  0 1 1 1 | 0  1  2  3  4 | 1 0 0 0  1 0 0 1  1 0 1 0  1 0 1 1  1 1 0 0 | 5  6  7  8  9 |

1. Объясните назначение заданного дешифратора.
2. Приведите его условие графическое обозначение.
3. Укажите назначение всех выводов.
4. Запишите логические выражения для каждого выхода дешифратора через операцию И-НЕ.
5. Постройте логическую схему в базисе И-НЕ.
6. Какой двоичный код присутствует на входах дешифратора, если «выбранным» является выход 5?

Седьмой вариант

Закон функционирования шифратора для преобразования десятичного кода в двоичный код «с избытком 3» задан таблицей истинности (таблица 9)

Таблица 9

|  |  |  |  |
| --- | --- | --- | --- |
| Десятичное  число  (номер входа) | Десятичный код  «с избытком 3»  на выходах  X4 X3 X2 X1 | Десятичное  число  (номер входа) | Двоичный код  «с избытком 3»  на выходах  X4 X3 X2 X1 |
| 0  1  2  3  4 | 0 0 1 1  0 1 0 0  0 1 0 1  0 1 1 0  0 1 1 1 | 5  6  7  8  9 | 1 0 0 0  1 0 0 1  1 0 1 0  1 0 1 1  1 1 0 0 |

1. Объясните назначение заданного шифратора.
2. Приведите его условие графическое обозначение.
3. Запишите логические выражения для выходов шифратора.
4. Постройте логическую схему в любом базисе.
5. На каком входе шифратора действует сигнал логической единицы, если на выходах зафиксирован двоичный код 1011?

Восьмой вариант

1. Объясните назначение четырехразрядного двоичного сумматора.
2. Приведите условное графическое обозначение микросхемы двоичного сумматора К555ИМ6. Укажите назначение всех выводов.
3. Постройте логическую схему четырехразрядного двоичного сумматора параллельного действия.
4. Укажите значение логических сигналов на входах и выходах схемы при сложении двоичных чисел: А = 1101, В = 1011.
5. Приведите схему соединения микросхем К555ИМ6 для построения двоичного параллельного действия.
6. На всех выводах схемы (п. 5) проставьте значения логических сигналов при сложении двух восьмиразрядных чисел: А = 10101011, В = 10111101.

Девятый вариант

Закон функционирования мультиплексора на 8 каналов без стробирования задан таблицей истинности (таблица 10)

Таблица 10

|  |  |  |  |
| --- | --- | --- | --- |
| Адресные входы  А2А1 А0 | Выход  Q | Адресные входы  А2А1 А0 | Выход  Q |
| 0 0 0  0 0 1  0 1 0  0 1 1 | D0  D1  D2  D3 | 1 0 0  1 0 1  1 1 0  1 1 1 | D4  D5  D6  D7 |

1. Объясните назначение заданного мультиплексора.
2. Приведите его условное графическое обозначение.
3. Укажите назначение всех выводов.
4. Запишите логическое выражение для выхода Q.
5. По выражению постройте логическую схему мультиплексора в базисе И, ИЛИ, НЕ.
6. Какой из информационных входов будет подключен к выходу Q, если на адресных входах записан код 110?

Десятый вариант

Закон функционирования дешифратора для преобразования двоичного кода «7421» в десятичное число задан таблицей истинности (таблица 11).

Таблица 11

|  |  |  |  |
| --- | --- | --- | --- |
| Двоичный код «7421» на входах  X7 X4X2X1 | Номер  выхода  дешифратора | Двоичный код «7421»  на входах  X7X4X2X1 | Номер  выхода  дешифратора |
| 0 0 0 0  0 0 0 1  0 0 1 0  0 0 1 1  0 1 0 0 | 0  1  2  3  4 | 0 1 0 1  0 1 1 0  1 0 0 0  1 0 0 1  1 0 1 0 | 5  6  7  8  9 |

1. Объясните назначение заданного дешифратора.
2. Приведите его условное графическое обозначение.
3. Укажите назначение всех выводов.
4. Запишите логические выражения для каждого выхода дешифратора через операцию И-НЕ.
5. Постройте логическую схему в базисе И-НЕ.
6. Какой двоичный код присутствует на входах дешифратора, если «выбранным» является выход 7?

Методические указания по выполнению задания 4

В четвертом задании рассматриваются следующие цифровые устройства: шифраторы, дешифраторы, мультиплексоры, сумматоры.

В задачах вариантов 1, 5 и 7 требуется синтезировать схемы шифраторов. В [1, с. 110-112] показан пример синтеза шифратора для преобразования десятичного числа в двоичный код «8421». Закон функционирования такого шифратора задан таблицей истинности [1, с 111, табл. 3.3], на основании которой составлены логические выражения для выходов X1, X2, X4, X8. По этим выражениям построена логическая схема шифратора в базисе И, ИЛИ, НЕ [1, с 112, рис. 3.15].

Внимательно изучите рекомендованный материал и приступайте к выполнению задачи вашего варианта. Обратите внимание на то, что при двоичном кодировании десятичных цифр используется не только код 8421, но и различные другие коды. Особенности этих кодов описаны в [1, с. 72-74]. Изучите этот материал, проанализируйте табл. 2.1 [1, с. 74], акцентируя внимание на заданный в вашем варианте двоичный код.

В задачах вариантов 4, 6 и 10 требуется синтезировать схемы дешифраторов.

В [1, с. 112-117] представлен пример синтеза дешифратора, преобразующего двоичный код «8421» в сигнал на определенном выходе. Десятичный номер выбранного выхода соответствует входному коду. Закон функционирования такого дешифратора задан таблицей истинности [1, с. 113, табл. 3.4], на основании которой составлены логические выражения (3.2-3.3) [1, c. 114].

Если на вход дешифратора подан набор входных сигналов 0000, то сигнал «логическая единица» установится только на выходе Y0. Логическое выражение для этого выхода Y0 = 8∙4∙2∙1

0 0 0 0

Знак инверсии ставиться над теми входными сигналами, которые равны нулю в рассматриваемом наборе.

По аналогии Y1 = 8 ∙ 4 ∙ 2 ∙ 1 и т.д.

0 0 0 1

Логические выражения (3.23) записаны через операцию И-НЕ. Им соответствует схема дешифратора на элементах И-НЕ [1, с. 115, рис. 3.18]. Условное графическое обозначение такого дешифратора приведено на рис. 3.21б. Это дешифратор с инверсными выходами, в нем на выбранном выходе присутствует сигнал логического 0.

В задачах вариантов 3 и 9 следует выполнить синтез мультиплексора на 8 каналов (мультиплексоры называют коммутаторами каналов). В [1, c. 123-125] представлен синтез мультиплексора на 4 канала со стробированием. Закон функционирования этого мультиплексора задан таблицей истинности [1, c. 195, табл. 3.11], на основании которой записано логическое выражение для выхода Q (3.4).

Рассмотрим вторую строку табл. 3.11. Управляющий код 00, подаваемый на адресные входы А1 А0, подключает к выходу Q информационный вход D0. Этой строке соответствует первый член выражения (3.24) – D0 ∙ 1 ∙ 0.

Управляющий код 01 (следующая строка табл. 3.11) подключает к выходу Q информационный вход D1 и т.д. В выражении (3.4) инверсия ставится над теми сигналами, которые равны нулю в рассматриваемой строке.

Приступая к решению своей задачи, учтите, что под указанием «без стробирования» следует понимать отсутствие в схеме мультиплексора стробирующего входа С.

В задачах вариантов 2 и 8 предложена для рассмотрения схема четырехразрядного двоичного сумматора параллельного действия. Перед выполнением задания рекомендуется вспомнить правила сложения многоразрядных двоичных чисел [1, с. 83-84], изучить работу одноразрядного двоичного сумматора [1, с. 143-144], а затем ознакомиться с работой многоразрядного сумматора параллельного действия [1, с. 144-148].

Условное графическое обозначение микросхемы конкретного типа сумматора вы найдете в справочной литературе.

Разберитесь в назначении всех выводов микросхемы и продумайте способ наращивания разрядности. Учтите, что на входы этого сумматора слагаемые поступают параллельно, а перенос между разрядами передается последовательно.

Пример. Выполните сложение двух восьмиразрядных чисел А и В.

1. 11 – переносы

А = 10011101 – первое слагаемое

+

В = 11001000 – второе слагаемое

= А + В = 101100101 – сумма

2 тетрада 1 тетрада

1 тетрада – 4 младших разряда числа

2 тетрада – 4 старших разряда числа

В данном примере формируется переносы из 4 разряда в 5-й, из 5-го в 6-й, из 8-го в 9-й.

Для построения схемы восьмиразрядного сумматора используют две микросхемы К555ИМ6

**Задание 5**

Задан комбинированный триггер.



1.Укажите назначение его входов и выходов.

2.Перерисуйте условное графическое обозначение триггера, укажите значение логических сигналов на входах в соответствии с вариантом (Таблица 12).

3.Укажите состояние триггера в которое он установится. Объясните.

Таблица 12

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Сигналы на входах | варианты | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| S | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| J | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| C | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| K | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| R | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

Методические указания по выполнению задания 5

В пятом задании рассматриваются цифровые устройства – триггеры [1 с.98 – 109]. Задан комбинированный триггер. Назначение входов и выходов вы найдете в [1 с.99]. Типы триггеров, их состояния в зависимости от поданных на входы логических уровней объясняются в [1 с.105 – 107].

.

# 3. Примерные вопросы к зачету

1. Развитие САПР электронных систем. История развития САПР.

2. Начальный этап проектирования. Логическое моделирование.

3. Работа системы логического моделирования. Завершающий этап проектирования.

4. Структура САПР для разработки цифровых устройств.

5. Структура современных САПР.

6. Основные современные САПР для разработки цифровых устройств

7. Структура программируемых логических интегральных схем (ПЛИС)

Начальные сведения о ПЛИС.

8. Обобщённая структура ПЛИС FPGA

9. Структура конфигурируемого логического блока

ПЛИС (CLB).

10. Генераторы логических функций. Блоки ввода-вывода.

11. Программируемые соединения.

12. Динамически параметры конфигурируемого логического блока

13. Цикл схемотехнического проектирования заказных интегральных схем и ПЛИС

14. Метод схемотехнического проектирования заказных интегральных схем.

15. Этапы проектирования. Метод схемотехнического проектирования программируемых логических схем.

16. Этапы проектирования. Размещение и разводка. Временной анализ

17. Одноуровневые и иерархические принципиальные схемы

18. Одноуровневые принципиальные схемы.

19. Иерархические принципиальные схемы.

20. Современная последовательность схемотехнического проектирования.

21. Создание исходных файлов описания разрабатываемых узлов и устройств

22. Файлы исходного описания: схема, VHDL-код, машина состояний. Особенности файлов описания.

23. Создание тестовых воздействий для контроля работоспособности разрабатываемых узлов и устройств.

24. Создание тестовых воздействий графическим путём (TestBenchWaveform).

25. Создание тестовых воздействий на языкеописания аппаратуры VHDL (TestBench VHDL Сode).

26. Моделирование работы цифровых узлов и

Устройств.

27. Получение ответных реакций работы узлов и устройств.

28. Функциональное моделирование узлов и устройств.

29. Временное моделирование узлов и устройств.

30. Этапы загрузки и отладки проекта на ПЛИС. Подготовка проекта к размещению.

31. Создание UCF. Принцип работы загрузчика.

32. Выбор типа режима работы ПЛИС. Загрузка на кристалл. Отладка.

33. Введение в язык VHDL. История развития языка VHDL.

34. Введение в язык VHDL. Отличительные особенности, области применения.

35. Архитектура и интерфейс объекта.

36. Структура описания объекта проекта.

37. Интерфейс объекта проекта. Описание архитектуры объекта. Синтаксис. Операторы.

40. Стили проектирования и описания схем.

41. Стили проектирования и описания схем: структурный, потоковый, поведенческий, смешанный.

42. Элементы потокового проектирования.

43. Основные операторы потокового проектирования.

44. Элементы поведенческого проектирования. Синтаксис основных операторов.

45. VHDL-стандарты IEEE. Особенности применения стандартов. Стандартный логический пакет 1164.

46. Проектирование комбинационных схем. Проектирование одновыходной комбинационной схемы.

47. Синтез комбинационных многовыходных схем.

48. Выбор базиса для проектирования. Минимизация схемы.

49. Моделирование работы комбинационных схем.

50. Загрузка и отладка комбинационных схем на ПЛИС. Проектирование комбинационных

схем на VHDL

51. Проектирование дешифраторов и шифраторов произвольной разрядности

52. Синтез дешифраторов и шифраторов произвольной разрядности.

53. Создание схем в САПР. Моделирование и отладка

шифраторов и дешифраторов.

54.Проектирование дешифраторов и шифраторов на VHDL.

55. Проектирование мультиплексоров и демультиплексоров произвольной разрядности.

56. Проектирование суммирующих схем произвольной разрядности

Синтез суммирующих схем произвольной разрядности. Создание схем в САПР.

57. Проектирование триггерных схем. Модель триггерной схемы. Проектирование синхронных двухступенчатых триггеров.

58. Проектирование синхронных счётчиков

Синтез синхронных счётчиков. Обобщённая схема логической структуры счётчика

59. Составление функций возбуждения триггеров счётчика. Минимизация функций возбуждения.

60. Проектирование многофункциональных регистров

61. Обобщённая схема логической структуры многофункционального регистра.

# Рекомендуемая литература

1. . Калабеков Б.А., Мамзелев И.А. Цифровые устройства и микропроцессорные

системы. - М. Радио и связь, 2007

2. Келим Ю.М. Вычислительная техника: Учеб. пособие для сред. проф образования - М. : Академия, 2008. - 384 с

3. Партыка Т.Л, Попов И.И. Вычислительная техника.-М. Форум: ИНФРА - М, 2016г.

4. Попов И.И., Партыка Т.Л. Вычислительная техника.-М. Форум, 2007г.